

2004/03/17 PTO

13 DEC 2004

PCT/JP 2004/001942

10/510988

19. 2. 2004

日本国特許庁

JAPAN PATENT OFFICE

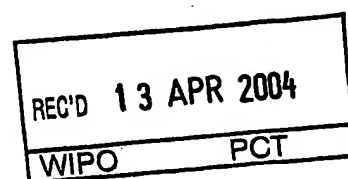
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月25日
Date of Application:

出願番号 特願2003-047418
Application Number:
[ST. 10/C]: [JP 2003-047418]

出願人 松下電器産業株式会社
Applicant(s):

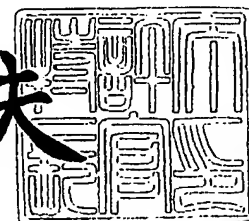


PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2004年 3月25日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3024586

【書類名】 特許願

【整理番号】 2037640134

【提出日】 平成15年 2月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 崎山 史朗

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 木下 雅善

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 炭田 昌哉

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 ソース電位と基板電位とが分離された MOS 構造の複数のトランジスタにより構成され、所定動作電源電圧を受けて動作する主回路と、

前記主回路を構成する各 MOS トランジスタの基板電位を制御する基板電位制御回路とを備え、

前記基板電位制御回路は、

前記主回路の前記動作電源電圧値の下での前記 MOS トランジスタの目標飽和電流値が設定され、

前記主回路の前記動作電源電圧値の下での前記 MOS トランジスタの実際飽和電流値が、前記目標飽和電流値と一致するように、前記主回路の各 MOS トランジスタの基板電位を制御する

ことを特徴とする半導体集積回路。

【請求項 2】 前記主回路の所定動作電源電圧が所定の動作電圧範囲内で変動する場合に、

前記主回路の MOS トランジスタの目標飽和電流値は、前記動作電圧範囲内の動作電源電圧値と比例関係にある

ことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 前記主回路の所定動作電源電圧が所定の動作電圧範囲内で変動する場合に、

前記主回路の MOS トランジスタの目標飽和電流値は、前記動作電圧範囲内の動作電源電圧値と 1 次関数の関係にある

ことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】 前記主回路は、複数の動作電源電圧範囲を持ち、

前記主回路の MOS トランジスタの目標飽和電流値は、前記主回路の各動作電源電圧範囲毎に、動作電圧範囲内の動作電源電圧値と 1 次関数の関係にあり、

前記目標飽和電流値と動作電源電圧値との 1 次関数の関係は、各動作電源電圧範囲毎に、相互に異なる

ことを特徴とする請求項1記載の半導体集積回路。

【請求項5】 前記基板電位制御回路は、

前記主回路を構成するMOSトランジスタのうち、nMOSトランジスタの基板電位又はpMOSトランジスタの基板電位を制御する

ことを特徴とする請求項1記載の半導体集積回路。

【請求項6】 ソース電位と基板電位とが分離されたMOS構造の複数のトランジスタにより構成され、所定動作電源電圧を受けて動作する主回路と、

前記主回路の前記動作電源電圧値の下での前記MOSトランジスタの実際飽和電流値が目標飽和電流値と一致するように、前記主回路を構成する各MOSトランジスタの基板電位を制御する基板電位制御回路とを備え、

前記基板電位制御回路は、

定電流発生回路と、

MOSトランジスタを内蔵し、前記内蔵MOSトランジスタの基板電位に応じて変化する電流-電圧変換特性を有し、前記定電流発生回路の定電流値を電圧値に変換する電流-電圧変換回路と、

前記電流-電圧変換回路により変換された電圧値が、前記主回路の所定動作電源電圧値に等しくなるように、前記電流-電圧変換回路の基板電位を制御する差動増幅回路とを備えて、

前記主回路を構成する各MOSトランジスタの基板電位を、前記差動増幅回路により制御された前記電流-電圧変換回路の基板電位と等しくなるように制御する

ことを特徴とする半導体集積回路。

【請求項7】 前記主回路の所定動作電源電圧が所定の動作電圧範囲内で変動する場合に、

前記定電流発生回路の定電流値は、前記動作電圧範囲内の動作電源電圧値と比例関係にある

ことを特徴とする請求項6記載の半導体集積回路。

【請求項8】 前記主回路の所定動作電源電圧が所定の動作電圧範囲内で変動する場合に、

前記定電流発生回路の定電流値は、前記動作電圧範囲内の動作電源電圧値と 1 次関数の関係にある

ことを特徴とする請求項 6 記載の半導体集積回路。

【請求項 9】 前記主回路は、複数の動作電源電圧範囲を持ち、

前記定電流発生回路の定電流値は、前記主回路の各動作電源電圧範囲毎に、動作電圧範囲内の動作電源電圧値と 1 次関数の関係にあり、

前記定電流発生回路の定電流値と動作電源電圧値との 1 次関数の関係は、各動作電源電圧範囲毎に、相互に異なる

ことを特徴とする請求項 6 記載の半導体集積回路。

【請求項 10】 前記定電流発生回路は、複数種類の定電流値を発生し、この複数種類の定電流値の中から 1 つを選択して出力する

ことを特徴とする請求項 6 記載の半導体集積回路。

【請求項 11】 前記定電流発生回路は、

前記主回路を構成する MOS トランジスタの実際飽和電流値のばらつき割合よりも小さいばらつき割合で、定電流を発生する

ことを特徴とする請求項 6 記載の半導体集積回路。

【請求項 12】 前記定電流発生回路は、

発生する定電流値のばらつきを小さくする調整回路を備える

ことを特徴とする請求項 11 記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ソースと基板とが分離された複数の MOS トランジスタにより構成される各種半導体集積回路において、その動作速度ばらつきを抑制する技術に関する。

【0002】

【従来の技術】

MOS トランジスタにより構成された半導体集積回路は、製造プロセスの微細化に伴うトランジスタ耐圧の低下や、低消費電力化の要望から、より低電圧動作

が求められる。しかし、半導体集積回路の動作速度ばらつきは、一般に、低電圧動作を行うほど、トランジスタのしきい値電圧、酸化膜厚、移動度、加工精度といった製造プロセスのばらつき要因や、周囲温度の変動等により、大きくなる。この動作速度ばらつきは、半導体集積回路の歩留まりの劣化を引き起こし、コスト増を招くこととなる。

【0003】

製造プロセスによって生じたしきい値電圧のばらつきを低減する方法としては、特許文献1で示されるトランジスタの基板電圧制御技術がある。この技術は、MOSトランジスタの基板電位を制御することにより、しきい値電圧を予め設定した電圧値に近づける技術である。

【0004】

式1に、MOSトランジスタのしきい値電圧 V_t と基板電位 V_b の関係を示す。

【0005】

$$V_t = V_{t0} + \gamma (\sqrt{\alpha - V_b}) \quad \dots (式1)$$

前記式1において、 V_{t0} 、 α 、 γ は製造プロセスの出来栄に応じた定数である。 V_b はMOSトランジスタのソースと基板との電圧差であり、基板電位と呼ぶ。式1から、基板電位 V_b を負の電圧に制御すれば、しきい値電圧 V_t は大きくなり、正の電圧に制御すれば、小さくなることが判る。図14を用いて、しきい値電圧 V_t のばらつきに対する基板電位 V_b の制御電圧の関係を簡単に説明する。しきい値電圧 V_t のばらつき範囲(V_{1-} ～ V_{1+})に対して、しきい値電圧 V_t を全て所定値 V_1 となるように制御する場合を考える。この場合、しきい値電圧 V_t が所定値 V_1 のときには基板電位 V_b を0Vに、ばらつき下限値 V_{1-} のときには基板電位 V_b を $V_-(V)$ に、ばらつき上限値 V_{1+} のときには基板電位 V_b を $V_+(V)$ に設定すれば、しきい値電圧 V_t を所定値 V_1 に調整することができる。回路構成としては、レファレンス電圧として所定値 V_1 を生成し、MOSトランジスタのしきい値電圧 V_t がこの所定値 V_1 となるように、基板電位 V_b をフィードバック制御すれば良い。

【0006】

【特許文献1】

特開平9-129831号公報

【0007】

【発明が解決しようとする課題】

このように特許文献1によれば、これに示される構成を採用して、しきい値電圧 V_t のばらつきを抑制することができる。

【0008】

しかし、MOSトランジスタを用いた半導体集積回路の動作速度ばらつきは、このしきい値電圧 V_t 以外にも、酸化膜厚、移動度、加工精度といった他の製造プロセスのばらつき要因や、半導体集積回路の周囲温度の変動、動作電源電圧の精度ばらつきによっても生じる。

【0009】

以下、MOSトランジスタ回路の動作速度ばらつきについて簡単に説明する。

【0010】

MOSトランジスタ回路の動作速度（遅延時間）は、式2で示される。

【0011】

$$\tau = C \cdot V_{dd} / I_{ds} \quad \dots \text{(式2)}$$

前記式2において、 τ は論理ゲート等のMOSトランジスタ回路の遅延時間、 C は負荷容量、 V_{dd} はMOSトランジスタ回路の動作電源電圧、 I_{ds} はその動作電源電圧の下でのMOSトランジスタの飽和電流値である。従って、MOSトランジスタ回路の動作速度を一定とするためには、MOSトランジスタの飽和電流値 I_{ds} のばらつきを抑えることが、重要課題となる。

【0012】

ところで、一般に、MOSトランジスタの飽和電流の式は、式3で示される。

【0013】

$$I_{ds} = (1/2) \mu C_{ox} (W/L) (V_{dd} - V_t)^2 \quad \dots \text{(式3)}$$

前記式3において、 I_{ds} はMOSトランジスタの飽和電流値、 μ は移動度、 C_{ox} は単位面積当りのゲート容量、 W はMOSトランジスタのゲート幅、 L は

MOSトランジスタのゲート長、 V_{dd} はMOSトランジスタ回路の動作電源電圧、 V_t はMOSトランジスタのしきい値電圧である。

【0014】

前記式3から判るように、MOSトランジスタの飽和電流 I_{ds} がばらつく要因としては、しきい値電圧 V_t のばらつき以外にも、イオン注入量精度による移動度 μ のばらつき、ゲート酸化膜厚精度によるゲート容量 C_{ox} のばらつき、加工精度による W/L のばらつき等があり、更には動作時の周囲温度によるしきい値電圧 V_t 変動や移動度 μ の変動も挙げられる。

【0015】

図13 (a)、(b) 及び (c) を用いて、各ばらつきに起因するMOSトランジスタの飽和電流 I_{ds} の変動について説明する。

【0016】

図13 (a) は、式3におけるしきい値電圧 V_t のみが変動した場合の動作電源電圧 V_{dd} に対するMOSトランジスタの飽和電流 I_{ds} の特性を示す。所定の中電圧のしきい値電圧 V_t に対してしきい値電圧 V_t が大きい場合には、グラフは動作電源電圧 V_{dd} の正の方向にシフトし、動作電源電圧 V_{dd1} でのMOSトランジスタの飽和電流値 I_{ds} は減少する。一方、逆に、しきい値電圧 V_t が小さい場合には、グラフは動作電源電圧 V_{dd} の負の方向にシフトし、動作電源電圧 V_{dd1} でのMOSトランジスタの飽和電流値 I_{ds} は増大する。

【0017】

図13 (b) は、前記式3における値 μC_{ox} (W/L) が変動した場合の動作電源電圧 V_{dd} に対するMOSトランジスタの飽和電流 I_{ds} の特性である。中程度の値 μC_{ox} (W/L) に対して値 μC_{ox} (W/L) が大きい場合には、放物線の傾きが大きくなり、動作電源電圧 V_{dd1} でのMOSトランジスタの飽和電流値 I_{ds} は増大する。また、逆に、値 μC_{ox} (W/L) が小さい場合には、放物線の傾きが小さくなり、動作電源電圧 V_{dd1} でのMOSトランジスタの飽和電流値 I_{ds} は減少する。

【0018】

図13 (c) は、周囲温度が変動した場合の動作電源電圧 V_{dd} に対するMO

Sトランジスタの飽和電流 I_{ds} の特性を示す。前記式3において、移動度 μ 及びしきい値電圧 V_t は温度特性を有し、一般に、温度が高くなると移動度 μ 及びしきい値電圧 V_t は共に減少する。従って、比較的高い動作電源電圧 V_{dd1} の下では、温度が高くなると、移動度 μ の減少の影響が大きいため、MOSトランジスタの飽和電流値 I_{ds} は減少する。しかし、低い動作電源電圧 V_{dd2} の下では、温度が高くなると、しきい値電圧 V_t の減少の影響が大きいため、MOSトランジスタの飽和電流値 I_{ds} は増大する。このように飽和電流値 I_{ds} は、温度変動に対しては、動作電源電圧値 V_{dd} の違いによって相反した特性を示す。

【0019】

このように、MOSトランジスタの飽和電流値 I_{ds} の特性は、しきい値電圧 V_t 以外にも様々なばらつき要因があり、特許文献1で開示されたしきい値電圧 V_t のばらつき抑制技術だけでは、MOSトランジスタ回路の動作速度ばらつきを十分に抑制することができないことが判る。

【0020】

以上のことから、本発明では、半導体集積回路において、しきい値電圧 V_t だけでなく、例えば移動度 μ 、単位面積当たりのゲート容量 C_{ox} 、ゲート幅 W とゲート長 L との比 W/L の変動等のMOSトランジスタの製造プロセスのばらつきや、動作時での周囲温度の変化に拘わらず、MOSトランジスタを備えた主回路の動作速度のばらつきを効果的に抑制して、半導体集積回路の歩留まりの向上、及び動作速度仕様の向上を図ることを目的とする。

【0021】

【課題を解決するための手段】

前記の目的を達成するため、本発明では、主回路を構成するMOSトランジスタの実際飽和電流値をほぼ一定値に制御し、そのばらつき自体を抑制して、半導体集積回路の動作速度仕様の向上を図る。

【0022】

具体的に、請求項1記載の発明の半導体集積回路は、ソース電位と基板電位とが分離されたMOS構造の複数個のトランジスタにより構成され、所定動作電源

電圧を受けて動作する主回路と、前記主回路を構成する各MOSトランジスタの基板電位を制御する基板電位制御回路とを備え、前記基板電位制御回路は、前記主回路の前記動作電源電圧値の下での前記MOSトランジスタの目標飽和電流値が設定され、前記主回路の前記動作電源電圧値の下での前記MOSトランジスタの実際飽和電流値が、前記目標飽和電流値と一致するように、前記主回路の各MOSトランジスタの基板電位を制御することを特徴とする。

【0023】

請求項2記載の発明は、前記請求項1記載の半導体集積回路において、前記主回路の所定動作電源電圧が所定の動作電圧範囲内で変動する場合に、前記主回路のMOSトランジスタの目標飽和電流値は、前記動作電圧範囲内の動作電源電圧値と比例関係にあることを特徴とする。

【0024】

請求項3記載の発明は、前記請求項1記載の半導体集積回路において、前記主回路の所定動作電源電圧が所定の動作電圧範囲内で変動する場合に、前記主回路のMOSトランジスタの目標飽和電流値は、前記動作電圧範囲内の動作電源電圧値と1次関数の関係にあることを特徴とする。

【0025】

請求項4記載の発明は、前記請求項1記載の半導体集積回路において、前記主回路は、複数の動作電源電圧範囲を持ち、前記主回路のMOSトランジスタの目標飽和電流値は、前記主回路の各動作電源電圧範囲毎に、動作電圧範囲内の動作電源電圧値と1次関数の関係にあり、前記目標飽和電流値と動作電源電圧値との1次関数の関係は、各動作電源電圧範囲毎に、相互に異なることを特徴とする。

【0026】

請求項5記載の発明は、前記請求項1記載の半導体集積回路において、前記基板電位制御回路は、前記主回路を構成するMOSトランジスタのうち、nMOSトランジスタの基板電位又はpMOSトランジスタの基板電位を制御することを特徴とする。

【0027】

請求項6記載の発明の半導体集積回路は、ソース電位と基板電位とが分離され

たMOS構造の複数のトランジスタにより構成され、所定動作電源電圧を受けて動作する主回路と、前記主回路の前記動作電源電圧値の下での前記MOSトランジスタの実際飽和電流値が目標飽和電流値と一致するように、前記主回路を構成する各MOSトランジスタの基板電位を制御する基板電位制御回路とを備え、前記基板電位制御回路は、定電流発生回路と、MOSトランジスタを内蔵し、前記内蔵MOSトランジスタの基板電位に応じて変化する電流-電圧変換特性を有し、前記定電流発生回路の定電流値を電圧値に変換する電流-電圧変換回路と、前記電流-電圧変換回路により変換された電圧値が、前記主回路の所定動作電源電圧値に等しくなるように、前記電流-電圧変換回路の基板電位を制御する差動増幅回路とを備えて、前記主回路を構成する各MOSトランジスタの基板電位を、前記差動増幅回路により制御された前記電流-電圧変換回路の基板電位と等しくなるように制御することを特徴とする。

【0028】

請求項7記載の発明は、前記請求項6記載の半導体集積回路において、前記主回路の所定動作電源電圧が所定の動作電圧範囲内で変動する場合に、前記定電流発生回路の定電流値は、前記動作電圧範囲内の動作電源電圧値と比例関係にあることを特徴とする。

【0029】

請求項8記載の発明は、前記請求項6記載の半導体集積回路において、前記主回路の所定動作電源電圧が所定の動作電圧範囲内で変動する場合に、前記定電流発生回路の定電流値は、前記動作電圧範囲内の動作電源電圧値と1次関数の関係にあることを特徴とする。

【0030】

請求項9記載の発明は、前記請求項6記載の半導体集積回路において、前記主回路は、複数の動作電源電圧範囲を持ち、前記定電流発生回路の定電流値は、前記主回路の各動作電源電圧範囲毎に、動作電圧範囲内の動作電源電圧値と1次関数の関係にあり、前記定電流発生回路の定電流値と動作電源電圧値との1次関数の関係は、各動作電源電圧範囲毎に、相互に異なることを特徴とする。

【0031】

請求項 1 0 記載の発明は、前記請求項 6 記載の半導体集積回路において、前記定電流発生回路は、複数種類の定電流値を発生し、この複数種類の定電流値の中から 1 つを選択して出力することを特徴とする。

【 0 0 3 2 】

請求項 1 1 記載の発明は、前記請求項 6 記載の半導体集積回路において、前記定電流発生回路は、前記主回路を構成する MOS トランジスタの実際飽和電流値のばらつき割合よりも小さいばらつき割合で、定電流を発生することを特徴とする。

【 0 0 3 3 】

請求項 1 2 記載の発明は、前記請求項 1 1 記載の半導体集積回路において、前記定電流発生回路は、発生する定電流値のばらつきを小さくする調整回路を備えることを特徴とする。

【 0 0 3 4 】

以上により、請求項 1 ～ 1 2 記載の発明では、主回路の MOS トランジスタの動作速度（遅延時間）は、MOS トランジスタの飽和電流の関数であるところ、主回路の動作時には、基板電位制御回路が MOS トランジスタの基板電位を制御して、MOS トランジスタの実際飽和電流を目標飽和電流値に一致させる。従って、MOS トランジスタの製造プロセスのばらつきに起因して、しきい値電圧や、移動度 μ 、単位面積当たりのゲート容量 C_{ox} 、ゲート幅 W とゲート長 L との比 W/L の変動があったり、主回路の動作時での周囲温度の変化があっても、これの変動や変化に起因して本来は変動する MOS トランジスタの飽和電流が前記目標値にほぼ一定制御されるので、主回路の MOS トランジスタの動作速度のばらつきを有効に抑制することができる。

【 0 0 3 5 】

また、請求項 2 及び 7 記載の発明では、MOS トランジスタの動作速度は、式 2 から判るように、動作電源電圧 V_{dd} と MOS トランジスタの実際飽和電流 I_{ds} との関係（ V_{dd}/I_{ds} ）に比例するが、主回路の動作電源電圧が変動しても、この変動に比例して目標飽和電流値が変更されるので、主回路の動作電源電圧の変動に対する MOS トランジスタの動作速度のばらつきをも有効に抑制す

ることができる。この効果は、特に、インバータ回路に対して有効である。

【0036】

特に、請求項3及び8記載の発明では、目標飽和電流値と主回路の動作電源電圧との関係が1次関数の関係に設定されているので、主回路の動作速度をほぼ一定値とすることができ、動作速度のばらつきをより一層有効に抑制することができる。この効果は、特に、メモリや多段積みされた論理回路に対して有効である。

【0037】

更に、請求項4及び9記載の発明では、主回路の動作電源電圧範囲が、その動作モードなどに応じて複数存在する場合には、その各動作電源電圧範囲毎に、目標飽和電流値と主回路の動作電源電圧との関係が1次関数の関係に設定されているので、主回路の動作電源電圧範囲毎に、その動作速度のばらつきを有効に抑制することが可能である。特に、各種動作モード別に動作電源電圧が異なる主回路に対して、有効である。

【0038】

加えて、請求項11記載の発明では、制御されない場合のMOSトランジスタの飽和電流のばらつき割合に対して、目標飽和電流値のばらつき割合が十分小さいので、主回路の動作速度のばらつきを小さく抑制できる効果が得られる。

【0039】

また、請求項12記載の発明では、目標飽和電流値のばらつきを小さくする調整回路が備えられるので、この調整回路により、目標飽和電流値のばらつきが一層小さく制限されて、主回路の動作速度のばらつきをより一層小さく抑制できる。

【0040】

【発明の実施の形態】

以下、本発明の実施の形態の半導体集積回路を図面を参照しながら説明する。

【0041】

図1は本実施の形態の半導体集積回路の構成を示す。同図において、2は主回路であって、動作電源電圧 V_{dd} を受けて動作すると共に、多数のMOSトラン

ジスタ（図示せず）を備えて構成される。これ等のMOSトランジスタは、各々、そのソースと基板が電氣的に接続されずに、ソース電位と基板電位とが分離されている。

【0042】

また、1は基板電位制御回路であって、前記主回路2の動作電源電圧 V_{dd} の情報と、この動作電源電圧 V_{dd} の下で動作する主回路2のMOSトランジスタの目標飽和電流値 I_{ds} の情報とが与えられている。この基板電位制御回路1は、主回路2の動作電源電圧 V_{dd} の下での主回路2のMOSトランジスタの実際飽和電流が、前記与えられた目標飽和電流値 I_{ds} となるように、主回路2を構成するMOSトランジスタの基板電位 V_b を制御する。

【0043】

従って、基板電位制御回路1は、主回路2のMOSトランジスタの実際飽和電流値が常に目標飽和電流値 I_{ds} となるように、基板電位 V_b を制御するので、MOSトランジスタの製造プロセスのばらつきや、温度変動が生じて、主回路2は常に一定の動作速度で動作する。

【0044】

このように、本実施の形態では、前記式2に示す遅延時間 τ を決定するMOSトランジスタの飽和電流値 I_{ds} のばらつきそのものを、MOSトランジスタの基板電位制御により抑制することに特徴がある。

【0045】

図2(a)～(d)は、図1に示した半導体集積回路における主回路2の動作電源電圧 V_{dd} と目標飽和電流値 I_{ds} との関係の各種バリエーションを示す。

【0046】

図2(a)は、MOSトランジスタの目標飽和電流値 I_{ds} を主回路2の動作電源電圧 V_{dd} に関係なく一定とした例を示す。前記式2で示されるように、MOSトランジスタの飽和電流値 I_{ds} が一定であると仮定した場合、MOSトランジスタ回路の遅延時間 τ は、動作電源電圧 V_{dd} に比例して増大する。しかし、主回路2の電源電圧の精度が高い場合には、遅延ばらつきは小さく、従って本実施の形態は非常に有効である。

【 0 0 4 7 】

図 2 (b) は、MOS トランジスタの目標飽和電流値 I_{ds} と主回路 2 の動作電源電圧 V_{dd} との関係を比例関係とした例を示す。本関係では、主回路 2 の動作電源電圧 V_{dd} が変化しても、主回路 2 の動作速度をほぼ一定にできるという格別の効果を持つ。前記式 2 から判るように、MOS トランジスタ回路の動作速度を一定とするには、MOS トランジスタの飽和電流値 I_{ds} のばらつきを少なくすることは勿論であるが、式 5 に示すように、動作電源電圧 V_{dd} と比例関係にある飽和電流値 I_{ds} を目標値とすることがより望ましい。

【 0 0 4 8 】

$$I_{ds} = k \cdot V_{dd} \quad (5)$$

式 5 において、 I_{ds} は MOS トランジスタの飽和電流値、 k は定数、 V_{dd} は主回路 2 の動作電源電圧である。式 5 を式 2 に代入すると、遅延時間 τ は、 C/k となり、MOS トランジスタの特性ばらつきや温度変動、更には動作電源電圧 V_{dd} にも依存せず、一定の動作速度が得られることが判る。但し、式 2 は、インバータ回路等の単純なロジック回路に対して有効な近似式である。

【 0 0 4 9 】

メモリや、多段積みしたロジック回路等では、遅延時間 τ が、多段積みされた MOS トランジスタの飽和電流だけでなく、オン抵抗にも影響するので、図 2 (c) に示すように、各回路毎に、動作電源電圧の変動に対して一定の動作速度を得るための最適な 1 次関数の関係を設定するのが良い。図 2 (c) は、MOS トランジスタの目標飽和電流値 I_{ds} と主回路 2 の動作電源電圧 V_{dd} との関係を、オフセット電流 I_{ds0} を加えた比例関係とした例を示す。

【 0 0 5 0 】

図 2 (d) は、主回路 2 が複数の（同図では 2 つ）の異なる動作電源電圧範囲を有する場合に、第 1 及び第 2 の各動作電源電圧範囲毎に、目標飽和電流値 I_{ds} が主回路 2 の動作電源電圧 V_{dd} に対して 1 次関数の関係にあり、且つこの各動作電源電圧範囲毎の 1 次関数の関係（1 次関数の傾き）が相互に異なることを例示している。主回路 2 に与える動作電源電圧 V_{dd} が例えば 2 種類あり、各々の動作電源電圧に対して動作速度仕様が異なる場合には、図 2 (d) で例示する

グラフの關係に設定すれば、消費電力の面、特にトランジスタのリーク電流の削減の面でより効果的である。

【0051】

図3は、図1に示した半導体集積回路における基板電位制御回路1の具体的な構成例を示す。図3に示した半導体集積回路は、図1と同様に、基板電位制御回路1と、主回路2とを備える。

【0052】

そして、前記基板電位制御回路1は、定電流発生回路1-1と、基板電位発生回路1-2と、電流-電圧変換回路1-3とを備える。電流-電圧変換回路1-3は、MOSトランジスタを内蔵し、その基板電位 V_b を変更して、電流-電圧変換特性を変更することが可能である。定電流発生回路1-1は定電流 I_d を出力し、定電流 I_d は前記電流-電圧変換回路1-3に入力される。電流-電圧変換回路1-3は、この定電流 I_d を電圧 V_d に変換して、基板電位発生回路1-2に出力する。基板電位発生回路1-2は、主回路2の動作電源電圧 V_{dd} と、前記電流-電圧変換回路1-3の変換電圧 V_d とを受け、この動作電源電圧 V_{dd} と変換電圧 V_d とが一致するように、電流-電圧変換回路1-3に対し基板電位 V_b の信号を出力し、電流-電圧変換回路1-3は、この受けた基板電位 V_b に基づいて電流-電圧変換特性を変更する。基板電位発生回路1-2が発生した基板電位 V_b は、主回路2を構成するMOSトランジスタの基板電位 V_b として、主回路2に供給される。

【0053】

図3に示した基板電位制御回路1は、主回路2を構成するnMOSトランジスタ及びpMOSトランジスタの両方の基板電位制御に対して有効である。次に、説明を簡単化するために、主回路2を構成するnMOSトランジスタに対する基板電位制御回路と、pMOSトランジスタに対する基板電位制御回路とに分けて、以下説明する。

【0054】

まず、主回路2の内部構成例を図4を用いて説明する。同図は、主回路2が複数のインバータ回路 I_1 、 I_2 …で構成される場合を例示している。 $2n-1$

～2 n-2 はソース電位と基板電位とが分離された nMOS トランジスタを、2 p-1 ～2 p-2 は同様にソース電位と基板電位とが分離された pMOS トランジスタを各々示している。nMOS トランジスタ 2 n-1 ～2 n-2 の基板電位には電位 V_{bn} が、pMOS トランジスタ 2 p-1 ～2 p-2 の基板電位には電位 V_{bp} が各々与えられている。既述した式 1 に示したように、nMOS トランジスタ 2 n-1 ～2 n-2 のしきい値電圧 V_{tn} は、基板電位 V_{bn} を制御することにより変更可能であり、また pMOS トランジスタ 2 p-1 ～2 p-2 のしきい値電圧 V_{tp} は、基板電位 V_{bp} を制御することにより変更可能である。従って、nMOS トランジスタ 2 n-1 ～2 n-2 の飽和電流 $I_{ds}(n)$ 、及び pMOS トランジスタ 2 p-1 ～2 p-2 の飽和電流 $I_{ds}(p)$ もまた、各々、基板電位 V_{bn} 、 V_{bp} を制御することにより、変更することが可能である。

【0055】

次に、図 5 は、主回路 2 の nMOS トランジスタ 2 n-1 ～2 n-2 の飽和電流を制御するための基板電位制御回路 1-1 の内部構成例を示した半導体集積回路を示す。図 5 は、図 1 と同様に、nMOS トランジスタ 2 n-1 ～2 n-2 を備えた主回路 2 と、この主回路 2 の nMOS トランジスタ 2 n-1 ～2 n-2 用の基板電位制御回路 1 n とから構成されている。基板電位制御回路 1 n は、定電流源（定電流発生回路）1 n-1 と、オペアンプ（差動増幅器）1 n-2 と、電流-電圧変換回路 1 n-3 とを備える。定電流源 1 n-1 から出力される定電流 I_{dn} は電流-電圧変換回路 1 n-3 に与えられる。この電流-電圧変換回路 1 n-3 は、前記定電流源 1 n-1 が出力した定電流 I_{dn} を所定の電流-電圧変換特性に基づいて電圧 V_{dn} に変換する。前記オペアンプ 1 n-2 は、前記電流-電圧変換回路 1 n-3 によって変換された変換電圧 V_{dn} と、主回路 2 の動作電源電圧 V_{dd} とを受け、この両電圧 V_{dn} 、 V_{dd} が一致するように、電流-電圧変換回路 1 n-3 の基板電位 V_{bn} を制御すると共に、この制御した基板電位 V_{bn} を主回路 2 の nMOS トランジスタ 2 n-1 ～2 n-2 の基板電位 V_{bn} として、主回路 2 にも供給する。

【0056】

前記電流-電圧変換回路 1 n-3 は、nMOS トランジスタ 3 n-1 により構成

されている。この nMOS トランジスタ 3 n-1 は、その基板電位 V_{bn} と動作電源電圧 V_{dd} との間の特性が、主回路 2 で使用される nMOS トランジスタ 2 n-1 ~ 2 n-2 と等しいことが望ましい。例えば、主回路 2 を構成する nMOS トランジスタ 2 n-1 ~ 2 n-2 において、そのゲート長 L が $0.13 \mu\text{m}$ 、動作電源電圧 V_{dd} が 1.5 V 、 $W/L = 3 \mu\text{m}/0.13 \mu\text{m}$ である場合に、その飽和電流値 $I_{ds}(n)$ が 2 mA であったとすると、電流-電圧変換回路 1 n-3 で使用する nMOS トランジスタ 3 n-1 としては、 $W/L = 3 \mu\text{m}/0.13 \mu\text{m}$ のサイズのものをを用いることが望ましい。前記電流-電圧変換回路 1 n-3 の nMOS トランジスタ 3 n-1 は、そのゲートとドレインとが直結され、そのドレイン側から定電流源回路 1 n-1 で発生した定電流 I_{dn} を流す。この定電流値 I_{dn} は、前記数値例示では、主回路 2 を構成する nMOS トランジスタ 2 n-1 ~ 2 n-2 の飽和電流値 $I_{ds}(n)$ が $2 \text{ mA}@1.5 \text{ V}$ であるので、目標飽和電流値として、この $2 \text{ mA}@1.5 \text{ V}$ を設定する。

【0057】

オペアンプ 1 n-2 は、電流-電圧変換回路 1 n-3 から出力された変換電圧 V_{dn} が主回路 2 の動作電源電圧 V_{dd} と等しくなるように、電流-電圧変換回路 1 n-3 の nMOS トランジスタ 3 n-1 の基板電位 V_{bn} を制御する。この制御された基板電位 V_{bn} は、主回路 2 を構成する nMOS トランジスタ 2 n-1 ~ 2 n-2 の基板電位 V_{bn} として、主回路 2 にも供給される。従って、動作電源電圧 $V_{dd} = 1.5 \text{ V}$ のときの主回路 2 の nMOS トランジスタ 2 n-1 ~ 2 n-2 の実際飽和電流 $I_{ds}(n)$ が 2 mA となるように、主回路 2 の nMOS トランジスタ 2 n-1 ~ 2 n-2 の基板電位 V_{bn} が制御される。定電流源 1 n-1 の定電流 I_{dn} が動作電源電圧 V_{dd} の変動に依存せず、一定電流を保持する場合には、主回路 2 の nMOS トランジスタ 2 n-1 ~ 2 n-2 の飽和電流値 $I_{ds}(n)$ は、動作電源電圧 V_{dd} に依存せずに、一定値に制御される。

【0058】

続いて、主回路 2 を構成する pMOS トランジスタ 2 p-1 ~ 2 p-2 の飽和電流を制御するための基板電位制御回路 1 の構成を図 6 に基づいて説明する。

【0059】

図6は、図1と同様に、pMOSトランジスタ2p-1～2p-2を備えた主回路2と、そのpMOSトランジスタ2p-1～2p-2用の基板電位制御回路1pとから構成されている。基板電位制御回路1pは、定電流源1p-1と、オペアンプ1p-2と、内部にpMOSトランジスタ3p-1を有する電流-電圧変換回路1p-3とから構成される。定電流源1p-1から出力される定電流 I_{dp} は、電流-電圧変換回路1p-3に与えられる。オペアンプ1p-2は、電流-電圧変換回路1p-3により変換された変換電圧 V_{dp} と、主回路2の動作電源電圧 V_{dd} とが等しくなるように、電流-電圧変換回路1p-3のpMOSトランジスタ3p-1の基板電位 V_{bp} を制御すると共に、この制御された基板電位 V_{bp} を、主回路2のpMOSトランジスタ2p-1～2p-2の基板電位 V_{bp} として、主回路2にも供給する。

【0060】

前記電流-電圧変換回路1p-3において、pMOSトランジスタ3p-1は、その基板電位 V_{bp} と飽和電流値 $I_{ds}(p)$ との関係特性が、主回路2を構成するpMOSトランジスタ2p-1～2p-2の特性と等しいことが望ましい。例えば、主回路2を構成するpMOSトランジスタ2p-1～2p-2において、そのゲート長 L が $0.13\mu\text{m}$ 、動作電源電圧 V_{dd} が 1.5V 、 $W/L=3\mu\text{m}/0.13\mu\text{m}$ である場合に、その飽和電流値 $I_{ds}(p)$ が 1mA であったとすると、電流-電圧変換回路1p-3で使用するpMOSトランジスタ3p-1は、 $W/L=3\mu\text{m}/0.13\mu\text{m}$ のサイズのものをを用いることが望ましい。電流-電圧変換回路1p-3のpMOSトランジスタ3p-1は、そのゲートとドレインとが直結され、そのソース側から、定電流源回路1p-1から発生した定電流 I_{dp} を流す。この定電流値 I_{dp} は、主回路2のpMOSトランジスタ2p-1～2p-2の飽和電流値 $I_{ds}(p)$ が前記数値例では 1mA であるので、目標飽和電流値として、 $1\text{mA}@1.5\text{V}$ を設定する。

【0061】

前記基板電位制御回路1pにおいて、オペアンプ1p-2は、電流-電圧変換回路1p-3の変換電圧 V_{dp} が動作電源電圧 V_{dd} と等しくなるように、電流-電圧変換回路1p-3のpMOSトランジスタ3p-1の基板電位 V_{bp} を制御し、

この制御された基板電位 V_{bp} は、主回路 2 の pMOS トランジスタ 2p-1 ~ 2p-2 の基板電位 V_{bp} として、主回路 2 にも供給される。従って、主回路 2 では、動作電源電圧 $V_{dd} = 1.5V$ のときに、pMOS トランジスタ 2p-1 ~ 2p-2 の実際飽和電流 $I_{ds}(p)$ が $1mA$ となるように、その基板電位 V_{bp} が制御される。定電流源 1p-1 の定電流 I_{dp} が動作電源電圧 V_{dd} の変動に依存せず、一定電流である場合は、主回路 2 の動作電源電圧 V_{dd} の変動に依存せず、その pMOS トランジスタ 2p-1 ~ 2p-2 の飽和電流 $I_{ds}(p)$ は一定値に制御される。

【0062】

(基板電位制御回路の定電流発生回路の変形例)

図 7 (a) ~ (d) は、基板電位制御回路 1 の定電流発生回路 1-1 の各種変形例を示している。これらの定電流発生回路は、前記定電流発生回路 1n-1、1p-1 の何れにも使用可能である。

【0063】

図 7 (a) の定電流発生回路 1-1 a は、主回路 2 の動作電源電圧 V_{dd} を含む動作電源電圧範囲内で、目標飽和電流値 I_{ds} を常に一定値とする回路例である。本回路の動作電源電圧と定電流発生回路 1-1 a の定電流値 I_d (目標飽和電流値) との関係を図 8 (a) に示す。図 7 (a) の定電流発生回路 1-1 a は、基準電圧発生回路 11 と、オペアンプ 21 と、抵抗値 R の抵抗 31 と、2 個の pMOS トランジスタ 41、42 とにより構成されている。両 pMOS トランジスタ 41、42 のソースには、動作電源電圧 V_{dd} よりも高電圧 V_o が供給され、一方の pMOS トランジスタ 41 には前記抵抗 31 の一端が接続され、その抵抗 31 の他端は接地されている。他方の pMOS トランジスタ 42 のドレインは、本回路 1-1 a の出力端である。オペアンプ 21 は、抵抗 31 の接地端とは異なる一端の電圧値が、基準電圧発生回路 11 の出力電圧値 V_r と等しくなるように、pMOS トランジスタ 41 のゲートを制御する。pMOS トランジスタ 41、42 は同サイズであり、双方の pMOS トランジスタ 41、42 には同一値の電流が流れるので、pMOS トランジスタ 42 は、 $I_d = V_r / R$ の一定電流 I_d を出力する。

【0064】

図7(b)～図7(d)は、定電流発生回路1-1b～1-1dの他の変形例を示す。出力する定電流 I_d の値、すなわち、目標飽和電流値 I_{ds} を、常に一定値には設定せず、主回路2の動作電源電圧 V_{dd} の変化に応じて変更して、複数種類とし、そのうち主回路2の実際の動作電源電圧 V_{dd} に応じた1つの定電圧値を選択して出力する構成を有するものである。

【0065】

すなわち、図7(b)の定電流発生回路1-1bは、主回路2の動作電源電圧範囲に対し、目標飽和電流値 I_{ds} と主回路2の動作電源電圧 V_{dd} との関係が比例する回路例を示す。本回路の動作電源電圧 V_{dd} と目標飽和電流（定電流発生回路1-1aの定電流値 I_d ）との関係を図8(b)に示す。

【0066】

図7(b)の定電流発生回路1-1bは、オペアンプ21と、抵抗値 R の抵抗31と、2個のpMOSトランジスタ41、42と、2個のnMOSトランジスタ51、52とにより構成されている。抵抗31の一端には主回路2の動作電源電圧 V_{dd} が供給されている。pMOSトランジスタ41、42のソースには動作電源電圧 V_{dd} よりも高電圧 V_o が供給され、nMOSトランジスタ51、52のソースには所定の負電圧 $-V_s$ が供給される。オペアンプ21は、抵抗31の他端が、接地電位 V_{ss} 、つまり0Vとなるように、2個のnMOSトランジスタ51、52のゲートを制御する。このnMOSトランジスタ51、52は相互に同サイズ、pMOSトランジスタ41、42も同サイズとした場合は、これらの全トランジスタには同一値の電流が流れるので、pMOSトランジスタ42は、 $I_d = V_{dd}/R$ の電流 I_d を出力する。図7(b)に示す回路の場合、目標飽和電流値 I_d は、主回路2の動作電源電圧 V_{dd} に対して、比例関係となる。

【0067】

図7(c)の定電流発生回路1-1cは、主回路2の動作電源電圧範囲に対し、目標飽和電流値 I_{ds} と主回路2の電源電圧値との関係を一次関数とする回路例である。本回路の電源電圧と飽和電流との関係を図8(c)に示す。

【0068】

図7(c)の定電流発生回路1-1cは、図7(b)と回路的にはほぼ同等であるが、図7(b)ではオペアンプ21の入力が接地電位 V_{ss} であったのに対し、図7(c)では $-V_1$ の負電圧が供給されている点で異なる。従って、図7(c)では、オペアンプ21は、抵抗31の他端が負電圧 $-V_1$ となるように、nMOSトランジスタ51、52のゲートを制御する。nMOSトランジスタ51、52が同サイズ、pMOSトランジスタ41、42が同サイズである場合には、それらの全トランジスタには全て同一値の電流が流れるので、pMOSトランジスタ42は $I_d = (V_{dd} + V_1) / R$ の電流 I_d を出力する。

【0069】

図7(d)の定電流発生回路1-1dは、主回路の2種以上の異なる動作電源電圧範囲毎に、目標飽和電流値 I_{ds} と主回路2の動作電源電圧値との関係が比例関係であり、且つ、この比例関係(1次関数の傾き)が各動作電源電圧範囲相互間で異なる回路例を示す。本回路の動作電源電圧と飽和電流との関係を図8(d)に示す。

【0070】

図7(d)の定電流発生回路1-1dは、図7(b)の回路に加えて、抵抗値 R_1 、 R_2 ($R_1 < R_2$)を持つ2個の抵抗32、33と、2個のスイッチ61、62とが追加される。第1の動作電源電圧範囲が高電圧範囲の場合は、抵抗32側のスイッチ61のみをオンし、第2の動作電源電圧範囲が低電圧範囲の場合は、抵抗33側のスイッチ62のみをオンする動作を与える。従って、第1の動作電圧範囲の場合は、 $I_d = V_{dd} / R_1$ の定電流 I_d が、第2の動作電圧範囲の場合は、 $I_d = V_{dd} / R_2$ の定電流 I_d が得られる。 $R_1 < R_2$ であるので、図8(d)に示す特性が得られる。

【0071】

以上説明した図7(a)～(d)に示した定電流発生回路1-1a～1-1dを図3の定電流発生回路1-1として与えることにより、図2(a)～(d)で示す様々な関係を実現することができる。

【0072】

本発明では、MOSトランジスタの目標飽和電流値のばらつき割合を、実際飽和電流値のばらつき割合よりも小さくしなければ、意味をなさない。ところが、半導体プロセスによって形成される抵抗は、一般にプロセスの出来栄によって20%程度ばらつくので、回路的工夫が必要となる。

【0073】

図9(a)及び(b)は、目標飽和電流値 I_{ds} の絶対精度をより高めることが可能な調整回路を有する定電流発生回路を示す。

【0074】

図9(a)は、抵抗値の絶対精度を高精度化することにより、出力電流を調整可能とする定電流発生回路の構成を示す。同図(a)は、図7(b)とほぼ同等であるが、抵抗34は可変抵抗となっている。この可変抵抗(調整回路)34は、係数 α を調整することで任意な抵抗値にすることができる。従って、pMOSトランジスタ42から出力する定電流 I_d は、 $I_d = V_{dd} / \alpha R$ となり、抵抗34の抵抗値 R 自体がばらついていても、係数 α を調整することにより、目標飽和電流値 I_d はより高精度化される。

【0075】

また、図9(b)は、2個のpMOSトランジスタ41、42'のカレント比 A によって、定電流 I_d を調整可能とする定電流発生回路の構成を示す。2個のpMOSトランジスタ41、42'間のゲート幅 W のサイズ比は、 $1:A$ に設定されており、係数 A は調整可能である。従って、ゲート幅 W を調整可能なpMOSトランジスタ42'から出力する定電流値 I_d は、 $I_d = A \cdot V_{dd} / R$ となり、抵抗31の抵抗値 R 自体がばらついていても、係数 A を調整することにより、目標飽和電流値 I_d はより高精度化される。このカレント比 A を有する2個のpMOSトランジスタ41、42'により、定電流値のばらつきを小さくする調整回路90を構成する。

【0076】

以上、電流-電圧変換回路1-3では、主回路2で使用するMOSトランジスタを用いて、そのMOSトランジスタの飽和電流値 I_{ds} を電圧変換する方法について説明したが、電流-電圧変換回路1-3を構成するMOSトランジスタに数 m

Aの電流を流し続けるのは、電力的に不利であり、また、経時変化の面からも得策でない。本発明の電流-電圧変換回路に求められる特性は、所定の目標飽和電流値を決定したときの主回路2のMOSトランジスタの基板-動作電源電圧 ($V_b - V_{dd}$) 特性と、電流-電圧変換回路の $V_b - V_d$ 特性とを、各種ばらつきに対して、ほぼ等しくすることが重要なコンセプトとなる。

【0077】

図11 (a) 及び (b) は、電流-電圧変換回路1-3に求められる特性を示す。図11 (a) は、目標飽和電流 $I_{ds}(n)$ を一定とした場合に、主回路2を構成する nMOS トランジスタの基板電位 V_{bn} と動作電源電圧 V_{dd} との関係を示す。符号 a は、既述した式3における、しきい値電圧 V_t が大、 μC_{ox} (W/L) が小、又は温度が高い際の特性を示し、符号 b は前記式3における、しきい値電圧 V_t が中、 μC_{ox} (W/L) が中、又は温度が中の際の特性を示し、符号 c は前記式3における、しきい値電圧 V_t が小、 μC_{ox} (W/L) が大、又は温度が低い際の特性を示している。所定値の動作電源電圧 V_{dd} に対しては、各種ばらつきに対し、基板電位 V_{bn} は、 $V_- \sim V_+$ の範囲で制御されなければならないことを示している。

【0078】

図11 (b) は、目標飽和電流 I_{dn} を一定とした場合に、電流-電圧変換回路1-3が有する nMOS トランジスタの基板電位 V_{bn} と出力変換電圧 V_{dn} との関係を示しており、各種ばらつきに対して、図11 (a) と同等の特性が実現されていれば良い。すなわち、所定値の変換電圧 V_{dn} ($V_{dn} = V_{dd}$) では、各種ばらつきに対し、基板電位 V_{bn} は、 $V_- \sim V_+$ の範囲で制御されていれば良い。

【0079】

以上のことから、電流-電圧変換回路1-3は、図10 (b) 及び (c) に示す構成に置換することも可能である。

【0080】

図10 (a) は、図5に示した電流-電圧変換回路1n-3を再掲している。この図10 (a) の回路構成、つまり、図11 (a) に示す各種ばらつきに対する

$V_{bn}-V_{dn}$ 特性をほぼ実現できる構成であれば、電流-電圧変換回路1-3は、如何なる構成であっても良い。

【0081】

MOSトランジスタの飽和電流特性は、式3で示すように、値(W/L)にも依存する。従って、動作電源電圧 V_{dd} を一定値としたときの目標飽和電流値 I_{ds} は、本来の目標飽和電流値が $I_{ds}(n)$ であった場合に、電流-電圧変換回路1n-3のMOSトランジスタのゲート長 L を本来の $0.13\mu m$ から $1.3\mu m$ へと10倍とすることにより、 $I_{ds} = (1/10) I_{ds}(n)$ としても、電流-電圧変換回路1n-3の $V_{bn}-V_{dn}$ 特性に変化はなく、代用可能である。但し、(W/L)のばらつきに対する相対精度が異なるので、図10(b)に示すように、 $3\mu m/0.13\mu m$ のサイズのnMOSトランジスタ71~74...を10段多段積みする構成として、実効的なゲート長 L を $L = 1.3\mu m$ とした方が、特性的に望ましい。実際には、電流密度の違いから移動度 μ が異なってくるため、図10(a)の裸特性に対して特性的違いが生じる場合がある。この場合は、図10(c)に示すように、抵抗35を挿入することにより、特性をほぼ一致させることが可能となる。

【0082】

次に、pMOSトランジスタ用の基板電位制御回路の電流-電圧変換回路の各種回路構成例を図12(b)、(c)に示す。これらは、pMOSトランジスタ81~84...を10段多段積みした構成を有する。これらの図は、既述した図10(b)、(c)と同様の振る舞いであるので、ここでは、詳細説明を省略する。

【0083】

【発明の効果】

以上説明したように、請求項1~請求項12記載の発明の半導体集積回路によれば、主回路を構成するMOSトランジスタの実際飽和電流値を目標飽和電流値に制御したので、MOSトランジスタのしきい値電圧や単位面積当たりのゲート容量、 W/L 比などの製造プロセスのばらつきや、周囲温度の変化に拘わらず、主回路の動作ばらつきを小さく抑制できて、半導体集積回路の歩留まりの向上及

び動作速度仕様の向上を図ることが可能である。

【図面の簡単な説明】

【図 1】

本発明の実施の形態の半導体集積回路の基本構成を示す図である。

【図 2】

目標飽和電流値と主回路の動作電源電圧との関係を示し、(a) は主回路の動作電圧範囲内で目標飽和電流値が一定の場合を示す図、(b) は主回路の動作電圧範囲内で目標飽和電流値が動作電源電圧に対して比例関係にある場合を示す図、(c) は主回路の動作電圧範囲内で目標飽和電流値が所定のオフセットを持って動作電源電圧に対して比例関係にある場合を示す図、(d) は主回路の動作電圧範囲が 2 種類ある場合を示す図である。

【図 3】

同実施の形態の半導体集積回路に備える基板電位制御回路の具体的構成を示す図である。

【図 4】

同半導体集積回路に備える主回路の具体的構成の一例を示す図である。

【図 5】

同半導体集積回路の主回路を構成する n M O S トランジスタの実際飽和電流をその基板電位によって制御する基板電位制御回路を示す図である。

【図 6】

同半導体集積回路の主回路を構成する p M O S トランジスタの実際飽和電流をその基板電位によって制御する基板電位制御回路を示す図である。

【図 7】

(a) は同基板電位制御回路に備える定電流発生回路の内部構成を示す図、(b) は同定電流発生回路の第 1 の変形例を示す図、(c) は同定電流発生回路の第 2 の変形例を示す図、(d) は同定電流発生回路の第 3 の変形例を示す図である。

【図 8】

同定電流発生回路の定電流値と主回路の動作電源電圧との関係を示し、(a)

は主回路の動作電圧範囲内で定電流値が一定の場合を示す図、(b)は主回路の動作電圧範囲内で定電流値が動作電源電圧に対して比例関係にある場合を示す図、(c)は主回路の動作電圧範囲内で定電流値が所定のオフセットを持って動作電源電圧に対して比例関係にある場合を示す図、(d)は主回路の動作電圧範囲が2種類ある場合を示す図である。

【図 9】

(a)は出力電流値の調整機能を持った定電流発生回路の内部構成を示す図、(b)は同定電流発生回路の第1の変形例を示す図である。

【図 10】

主回路を構成するnMOSトランジスタの基板電圧を制御する基板電位制御回路に備える電流-電圧変換回路の構成を示し、(a)は基本構成を示す図、(b)は第1の変形例を示す図、(c)は第2の変形例を示す図である。

【図 11】

(a)は主回路を構成するMOSトランジスタの実際飽和電流を一定値とした場合において、温度等の各種ばらつき要因に対する同MOSトランジスタの基板電位と主回路の動作電源電圧との関係を示す図、(b)は電流-電圧変換回路に備えるMOSトランジスタの飽和電流を一定値とした場合において、温度等の各種ばらつき要因に対して同電流-電圧変換回路に求められる同MOSトランジスタの基板電位と出力電圧との関係を示す図である。

【図 12】

主回路を構成するpMOSトランジスタ用の基板電位制御回路の電流-電圧変換回路の構成を示し、(a)は基本構成を示す図、(b)は第1の変形例を示す図、(c)は第2の変形例を示す図である。

【図 13】

(a)はMOSトランジスタにおける電源電圧に対する飽和電流特性を示し、(a)はしきい値電圧が変動した場合の特性図、(b)は $\mu C_{ox} (W/L)$ (μ は移動度、 C_{ox} は単位面積当りのゲート容量、 W 及び L は各々MOSトランジスタのゲート幅及びゲート長)が変動した場合の特性図、(c)は周囲温度が変動した場合の特性図を示す。

【図14】

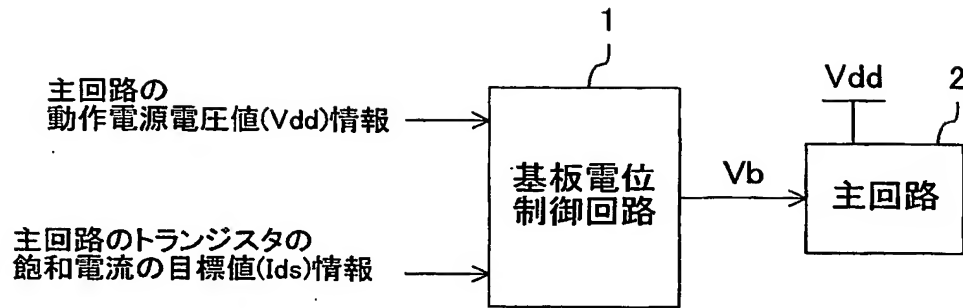
MOSトランジスタのしきい値電圧と基板電位との関係を示す図である。

【符号の説明】

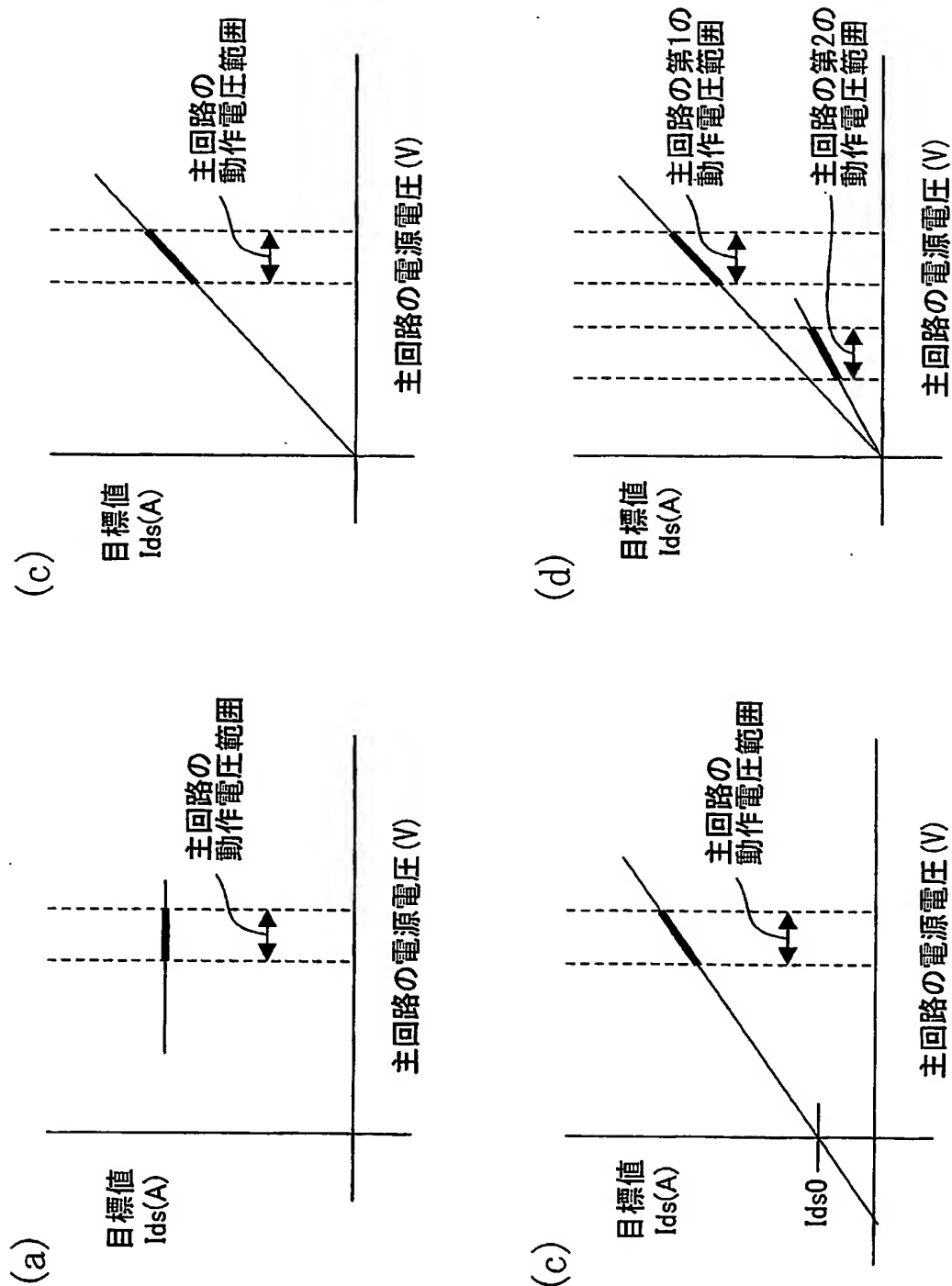
1、1n、1p	基板電位制御回路
2	主回路
1-1	定電流発生回路
1-2	基板電位発生回路
1-3、 1n-3、1p-3	電流-電圧変換回路
2p-1、2p-2、 41~42、42'、 80~85	pMOSトランジスタ
2n-1、2n-2、 51、52、 70~74	nMOSトランジスタ
1n-1、1p-1	定電流源（定電流発生回路）
1n-2、1p-2、21	オペアンプ（差動増幅器）
11	基準電圧発生回路
31~33	抵抗
34	可変抵抗（調整回路）
61、62	スイッチ
90	調整回路

【書類名】 図面

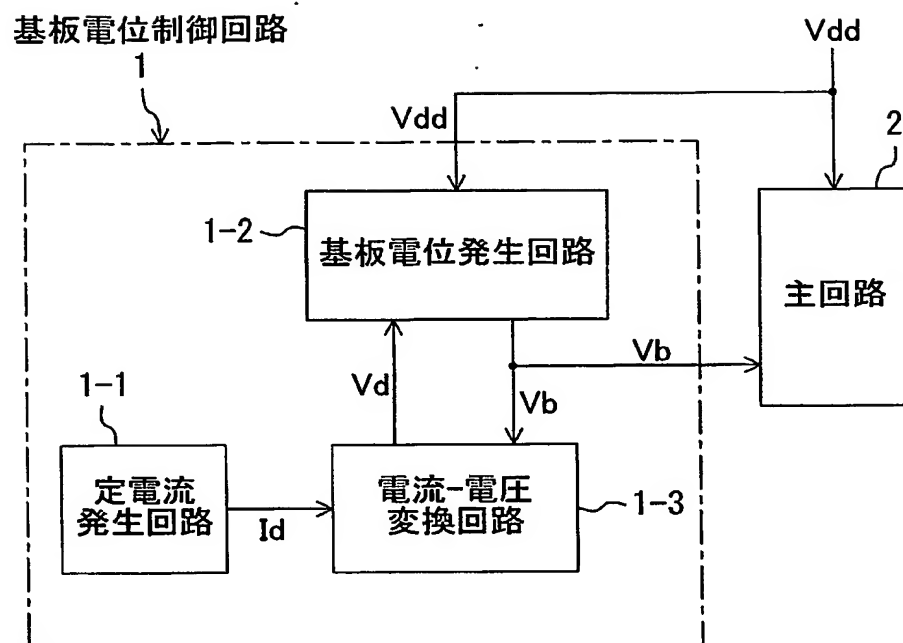
【図 1】



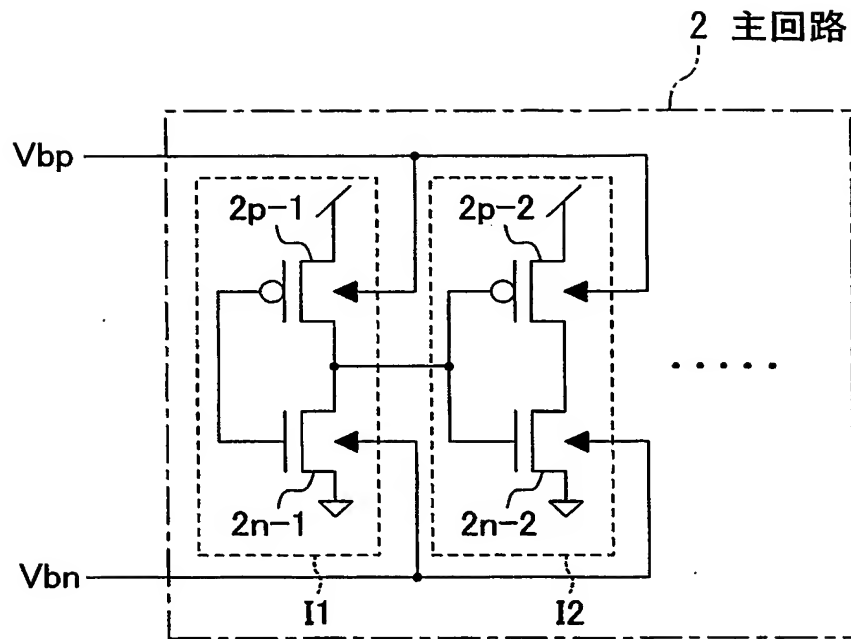
【図 2】



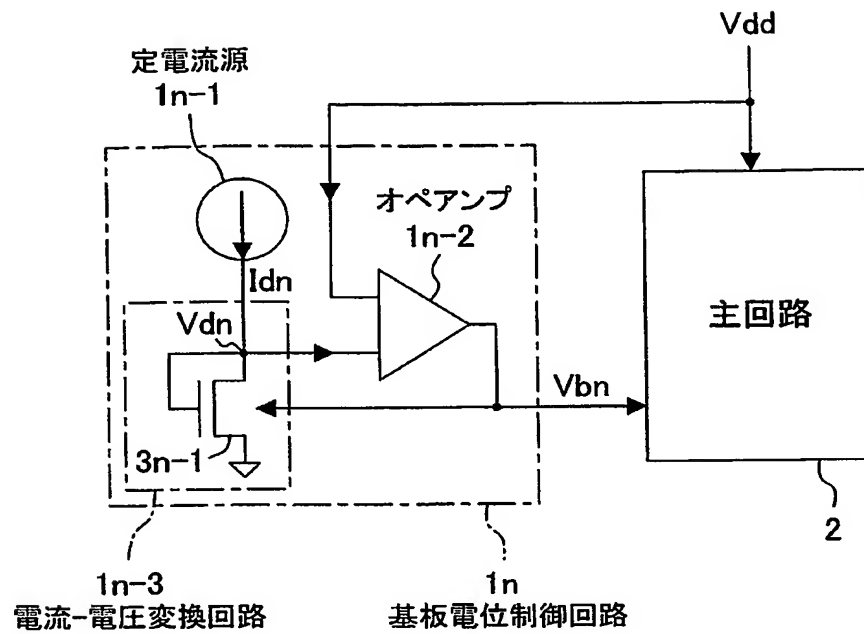
【図3】



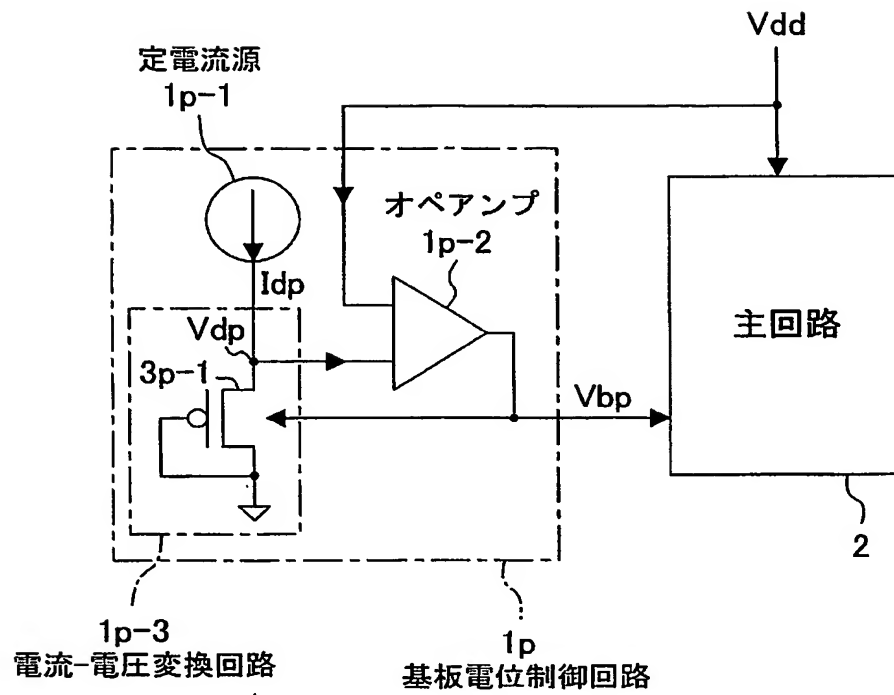
【図 4】



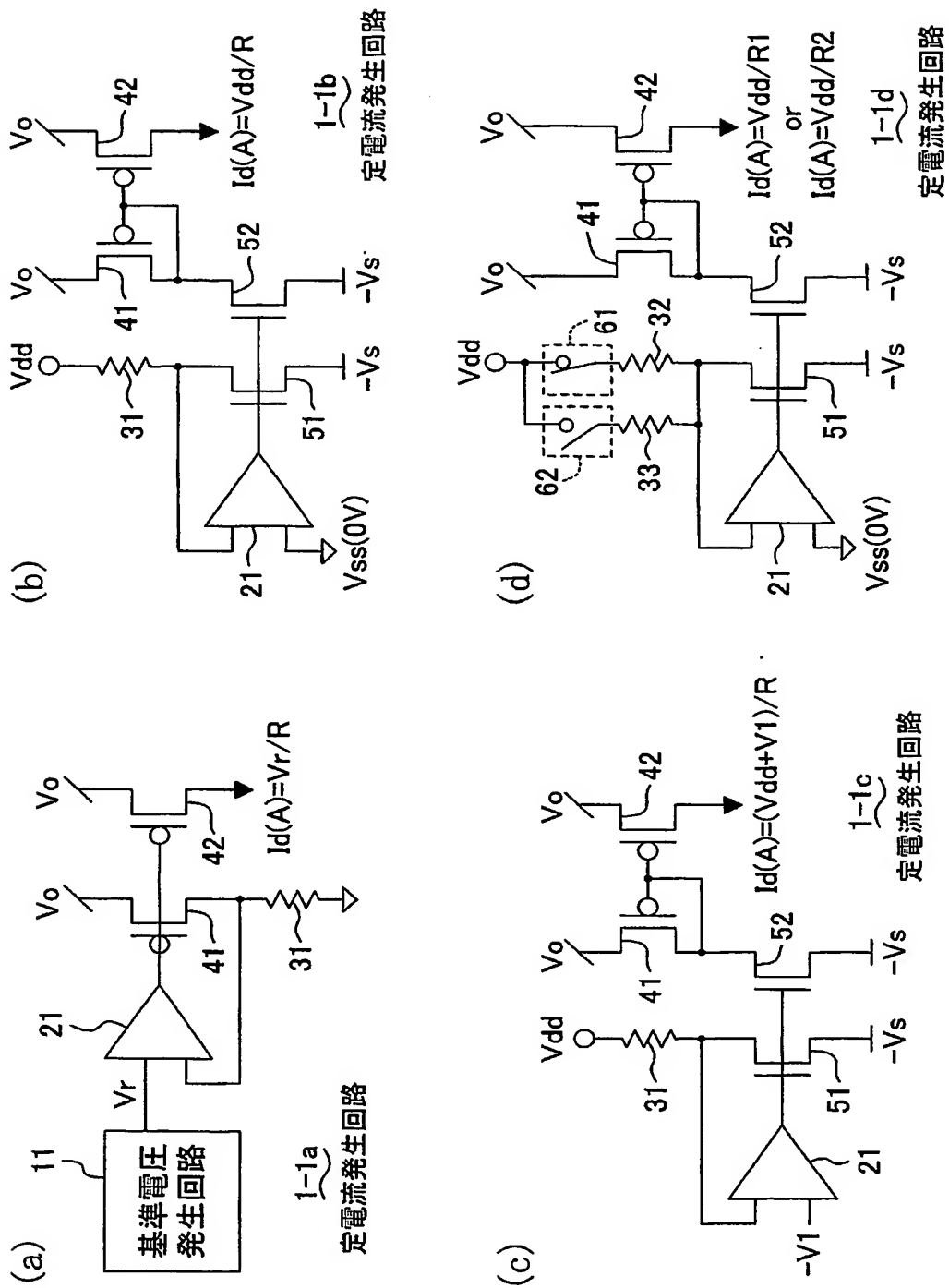
【図5】



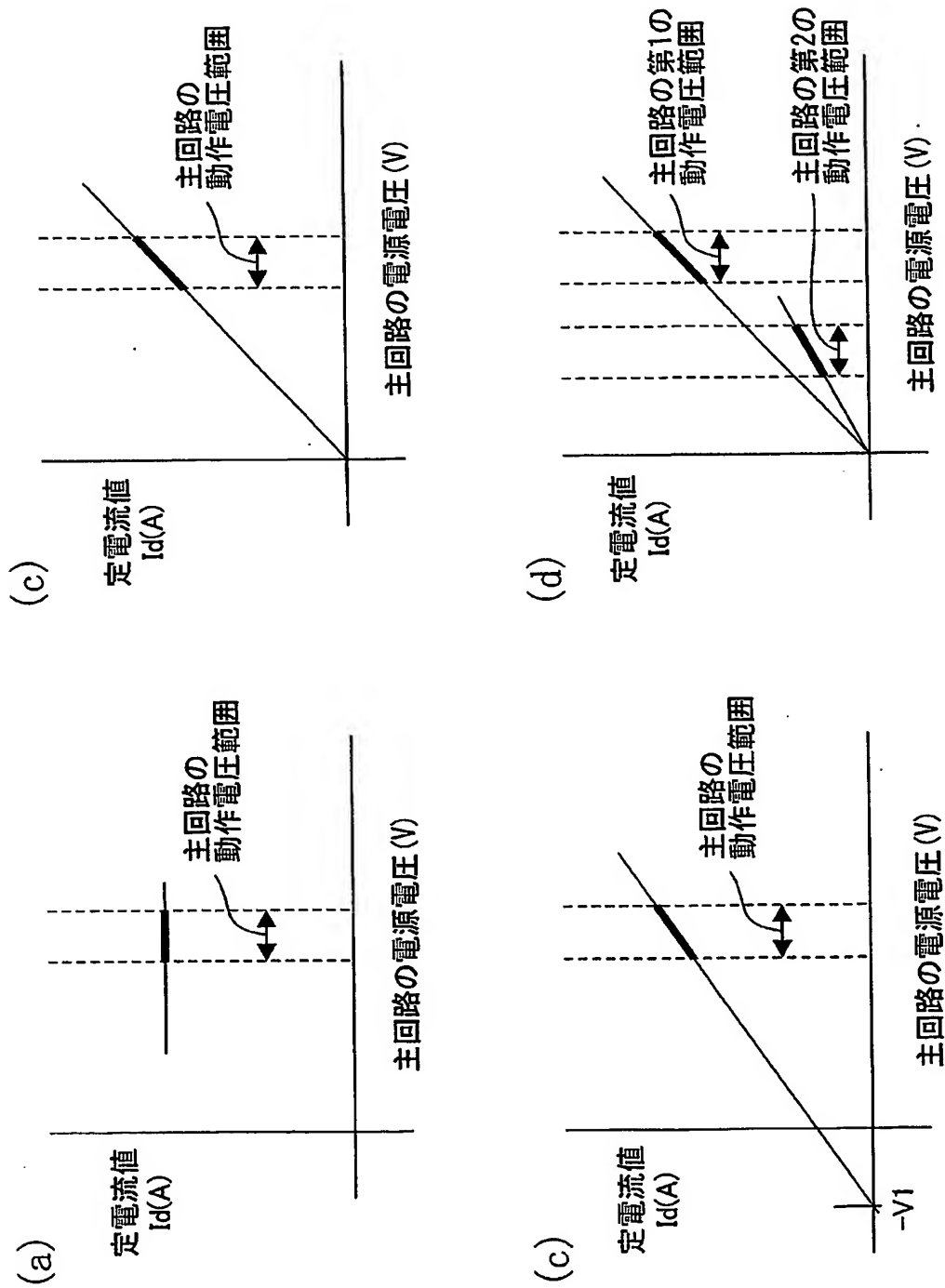
【図 6】



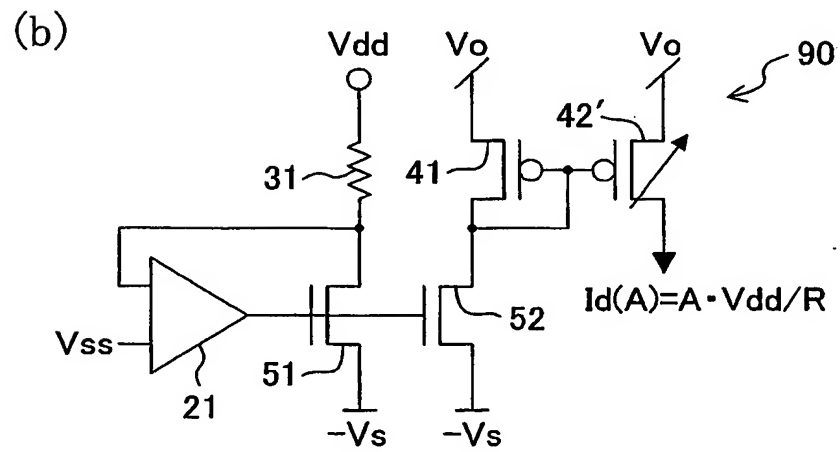
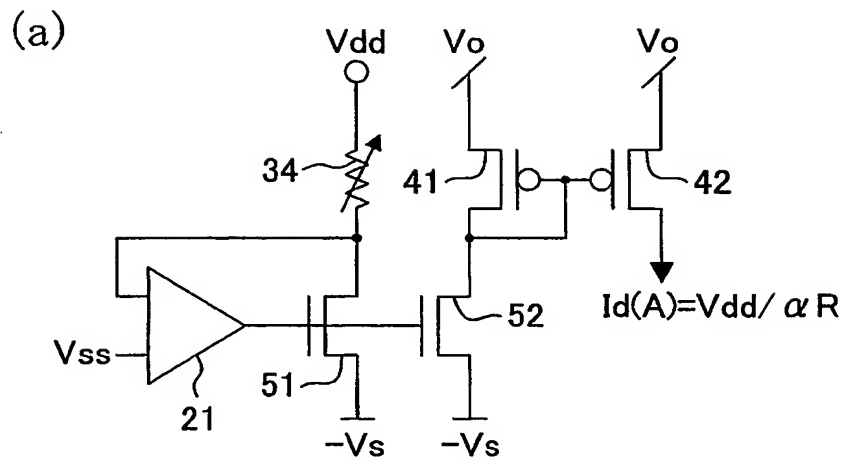
【図 7】



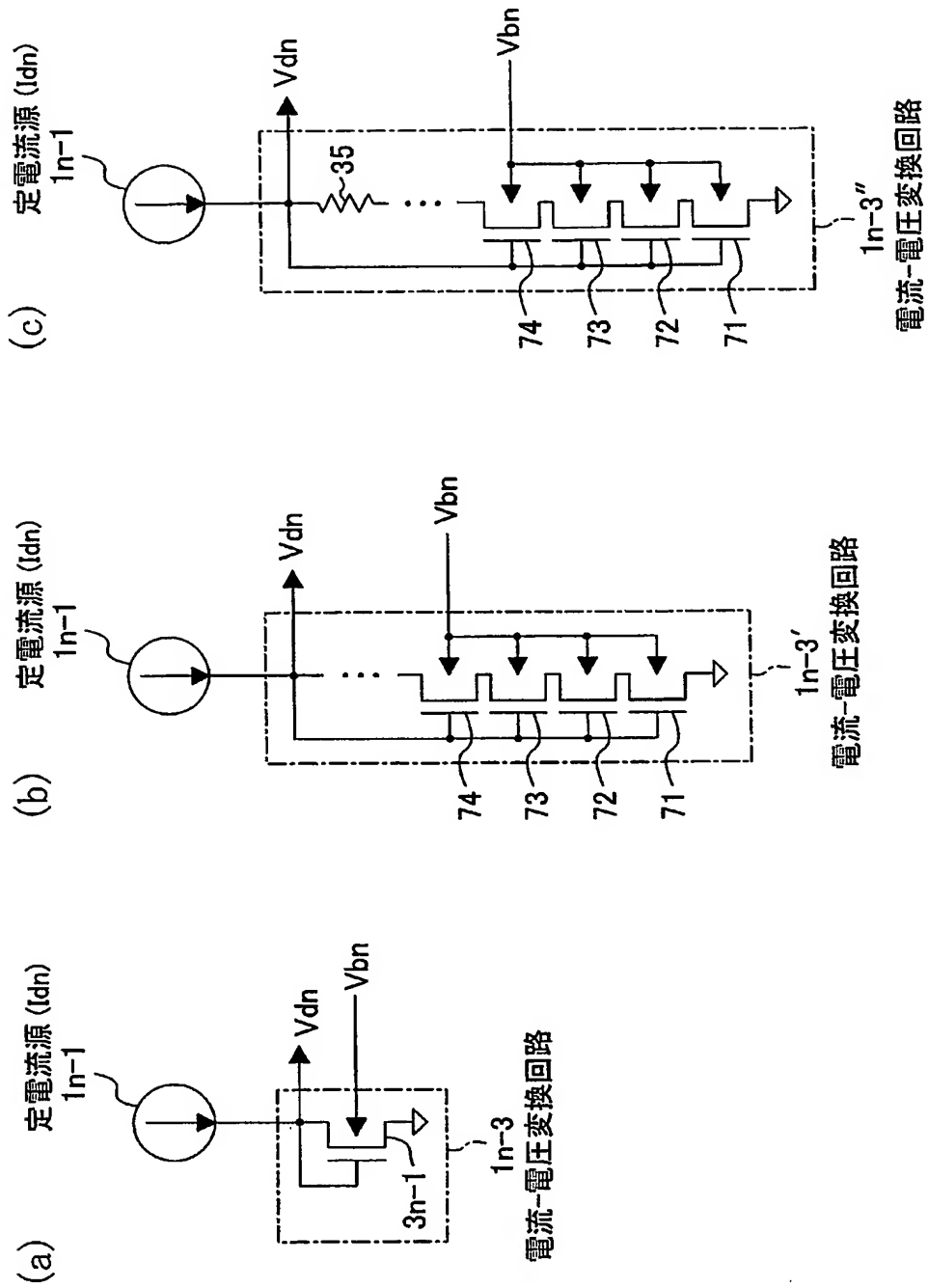
【図 8】



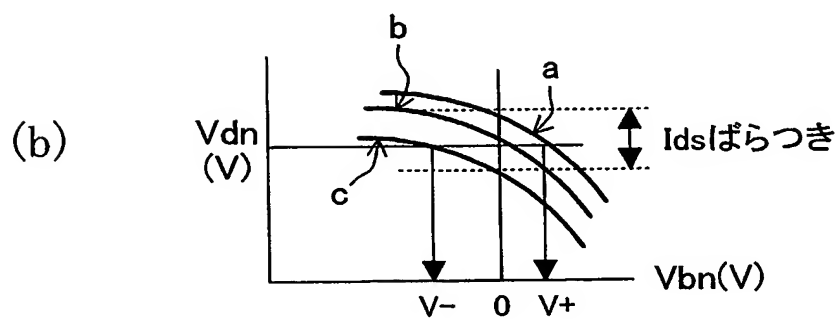
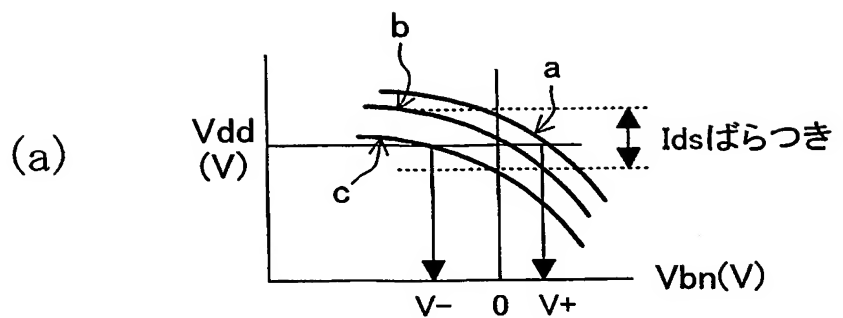
【図 9】



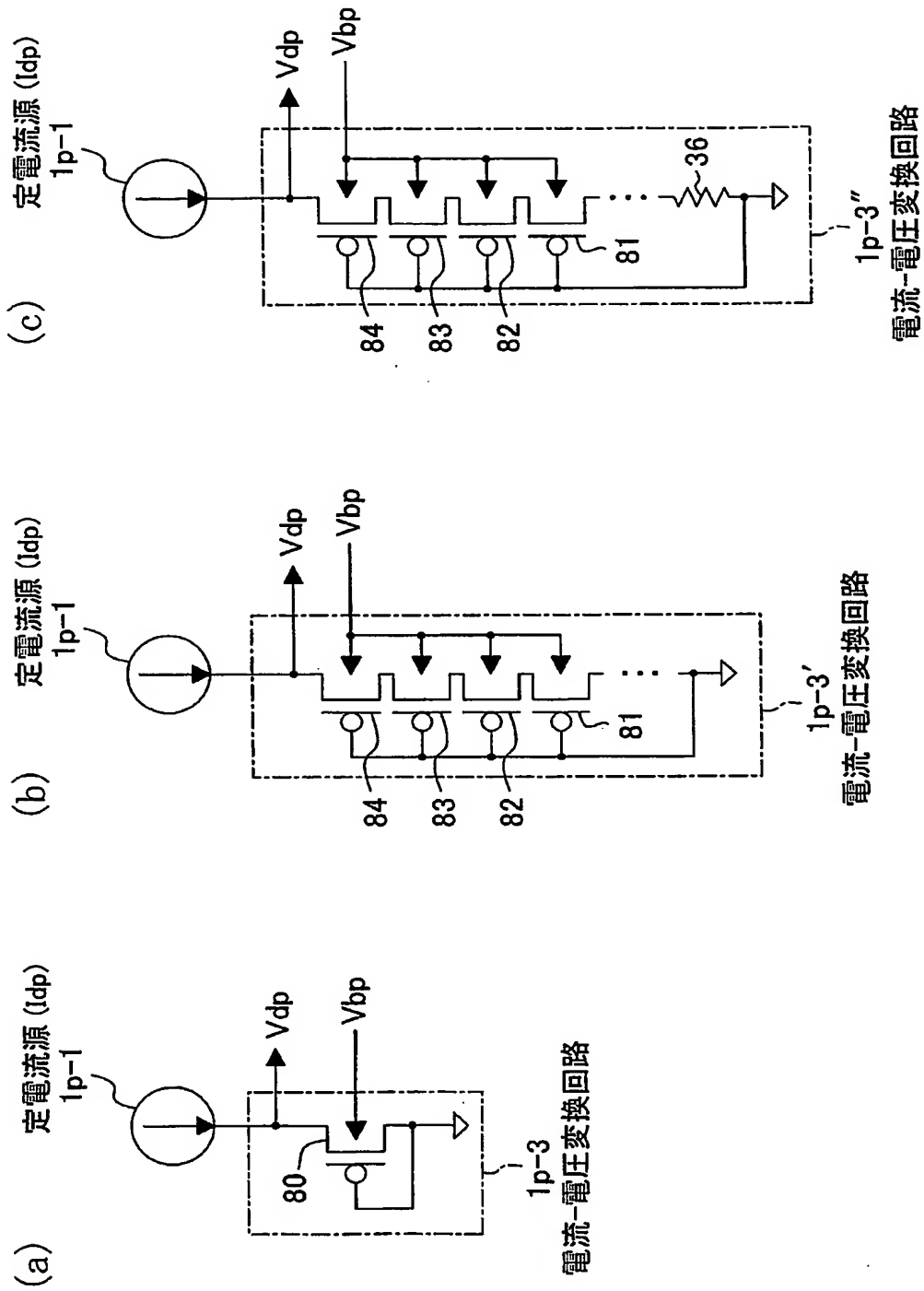
【図10】



【図 11】

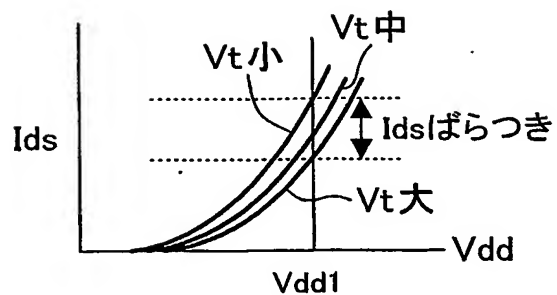


【図 12】

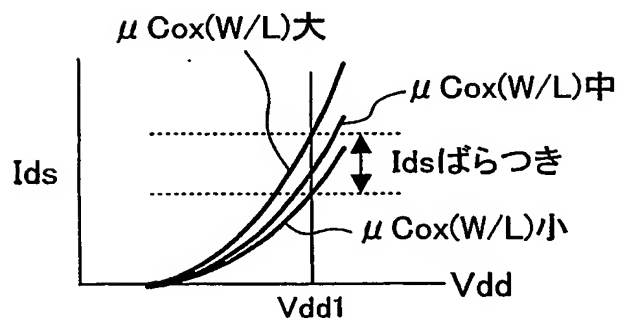


【図 13】

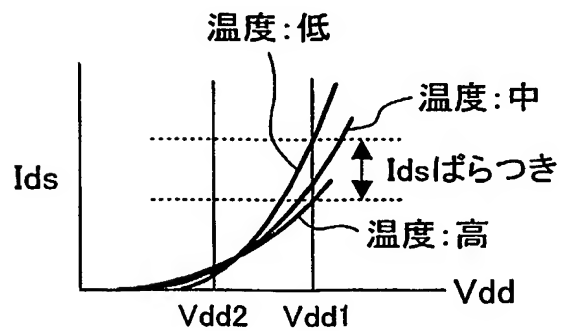
(a)



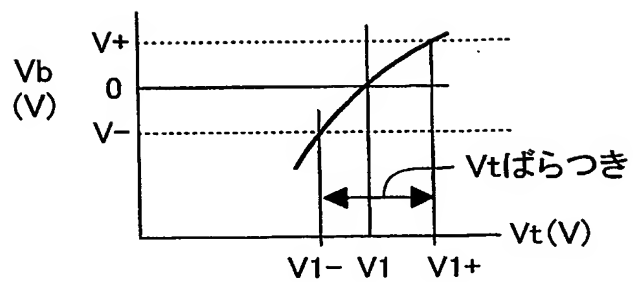
(b)



(c)



【図 14】



【書類名】 要約書

【要約】

【課題】 半導体集積回路の動作電源電圧が低電圧化しても、動作速度のばらつきを小さくする。

【解決手段】 主回路 2 は、ソースと基板とが分離された MOS トランジスタで構成される。基板電位制御回路 1 は、主回路 2 を構成する MOS トランジスタの実際飽和電流値が、主回路 2 の動作電源電圧 V_{dd} の下での目標飽和電流値 I_{ds} となるように、主回路 2 の MOS トランジスタの基板電位を制御する。

【選択図】 図 1

特願 2003-047418

出 願 人 履 歴 情 報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社